

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-218840
 (43)Date of publication of application : 27.08.1993

(51)Int.CI. H03K 17/687
 H01L 27/092

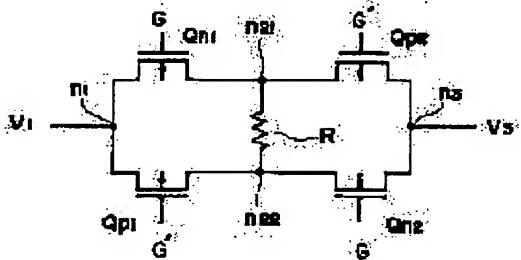
(21)Application number : 04-047487 (71)Applicant : HITACHI LTD
 HITACHI MICOM SYST:KK
 (22)Date of filing : 03.02.1992 (72)Inventor : YONETANI HIROYUKI
 WATANABE KAZUO

(54) SIGNAL TRANSMITTING CIRCUIT

(57)Abstract:

PURPOSE: To provide a signal transmitting circuit which has the excellent transmission characteristic and never produces any undesired distortion of an output waveform despite a large amplitude of the signal to be transmitted in such a case that the signal transmitting circuit consists of a CMOS analog switch.

CONSTITUTION: A signal transmitting circuit contains an nMOS transistor TR Qn1 and a pMOS TR Qp2 which are connected in series between the input/ output nodes n1 and n3, a pMOS TR Qp1 and an nMOS TR Qn2 which are connected in series between the nodes n1 and n3 in parallel to the TR Qn1 and Qp2, and a resistance R which has the prescribed resistance value so as to secure a fixed synthetic ON resistance of the signal transmitting circuit and is connected between the connection nodes n21 and n22 of a transistor of each train. In such a constitution, the channel conductance and the threshold voltage are set equal to each other between the TR Qn1, Qn2 and the TR Qp1, Qp2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-218840

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵

H 03 K 17/687
H 01 L 27/092

識別記号

庁内整理番号

F I

技術表示箇所

8221-5 J
7342-4 M

H 03 K 17/ 687
H 01 L 27/ 08

G
3 2 1 L

審査請求 未請求 請求項の数 2(全 4 頁)

(21)出願番号

特願平4-47487

(22)出願日

平成4年(1992)2月3日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72)発明者 米谷 浩幸

東京都小平市上水本町5丁目22番1号 株式会社日立マイコンシステム内

(72)発明者 渡辺 一雄

群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

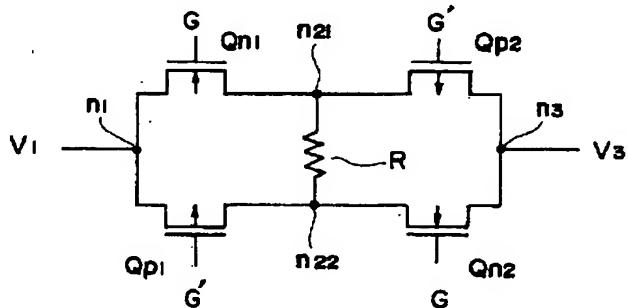
(74)代理人 弁理士 大日方 富雄

(54)【発明の名称】 信号伝達回路

(57)【要約】

【目的】 信号伝達回路をCMOSアナログスイッチにて形成するに当たり、伝達される信号の振幅が大きくても出力波形に不要な歪が発生しない、伝達特性の優れた信号伝達回路とする。

【構成】 信号伝達回路は、その2つの入出力ノードn1, n3間にnMOSトランジスタQn1とpMOSトランジスタQp2とが直列形態に接続され、これらのトランジスタと並列に入出力ノードn1, n3間にpMOSトランジスタQp1とnMOSトランジスタQn2が直列形態にて接続され、さらに各列のトランジスタの接続ノードn21, n22間に、当該信号伝達回路の合成オン抵抗を一定にするような所定の抵抗値を有する抵抗が接続されてなる。この回路を構成するに当たっては、nMOSトランジスタQn1, Qn2と、pMOSトランジスタQp1, Qp2はそのチャネルコンダクタンス、閾値電圧が互いに等しくなるように設計される。



【特許請求の範囲】

【請求項1】 2つの入出力ノードの間にn形MOSトランジスタとp形MOSトランジスタとが直列形態に接続されているとともに、これらのトランジスタと並列に上記2つの入出力ノード間にはp形MOSトランジスタとn形MOSトランジスタとが直列形態にて接続され、前記各列のトランジスタの接続ノード間には合成オン抵抗を一定にするような所定の抵抗値を有する抵抗が接続されてなる信号伝達回路。

【請求項2】 前記nMOSトランジスタと、pMOSトランジスタはそのチャネルコンダクタンス、閾値電圧、及びオン抵抗値が互いに等しくなるように形成されていることを特徴とする請求項1に記載の信号伝達回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路さらには複数のMOSトランジスタからなるアナログ信号伝達回路に適用して有効な技術に関し、例えばアナログ入力を所定時間一定に保つサンプルホールド回路に用いられるアナログスイッチに利用して有用な技術に関する。

【0002】

【従来の技術】 従来、例えば図4に示すようなサンプルホールド回路に用いられるスイッチング素子SW1として、CMOSトランジションゲートを用いたアナログスイッチが公知である。斯かるCMOSアナログスイッチにおいては、「MOSLSI設計入門(産業図書)」第222頁、図8.3及び、「CMOSの応用技法(産報出版)」第36頁、図1.25に記載のように、そのオン抵抗が直流バイアス依存性を持つことが知られている(後述する図2の破線IにてnMOS、破線IIにてpMOSのバイアス依存性の一例を示す)。このため当該スイッチに入力されるアナログ信号の出力波形に不要な歪が発生することとなってその伝達特性が問題となっていた。特に、スイッチによって伝達される信号の電位の振幅が大きい場合には上記歪によって振幅が歪められて増幅される。

【0003】 このため、nMOSトランジスタのバイアス依存性と、pMOSトランジスタのバイアス依存性を合成することによってCMOSアナログスイッチ全体としての、オン抵抗のバイアス依存性を低減させることができた。これは、nMOS、pMOSの夫々のチャネルコンダクタンス、閾値電圧VTHを等しくして、各々のバイアス依存性を正反対にし、これを合成することによって上記歪を相殺し、もってバイアス電圧の変化に拘らず、フラットなオン抵抗を得るものである。

【0004】

【発明が解決しようとする課題】 しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。即ち、実際にnMOS、pM

OSの特性を、上記の如くそのバイアス依存性が相殺されるように、それらのチャネルコンダクタンス、閾値電圧VTHを相等しく製造することはプロセス技術の面からも困難であり、必ず両者間に特性差が生じることとなる。このように特性差が生じていると、合成されたオン抵抗値は一定にはならず、nMOS、pMOSの合成オン抵抗値は、nMOSのオン抵抗値とpMOSのオン抵抗値が等しくなるバイアス点に極値をもつ特性になり

(図2の一点鎖線にて示す波形)、該オン抵抗のバイアス依存性に起因する上述の問題を解決するには至らない。

【0005】 本発明は上記事情に鑑みてなされたもので、CMOSアナログスイッチからなる信号伝達回路において、伝達される信号の振幅が大きくても出力波形に不要な歪が発生せず伝達特性の優れた信号伝達回路を提供することを目的とする。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。即ち、上記目的を達成するために、本発明の信号伝達回路は、2つの入出力ノードの間にn形MOSトランジスタとp形MOSトランジスタとが直列形態に接続されているとともに、これらのトランジスタと並列に上記2つの入出力ノード間にはp形MOSトランジスタとn形MOSトランジスタとが直列形態にて接続され、前記各列のトランジスタの接続ノード間には合成オン抵抗を一定にするような所定の抵抗値を有する抵抗が接続された構成としたものである。

【0007】

【作用】 上記2つの接続ノード間に設けられた抵抗値を、当該信号伝達回路を構成する4つのMOSトランジスタのチャネルコンダクタンス、閾値電圧VTH等の特性に応じた所定値に設定することによって、nMOSのオン抵抗のバイアス依存性とpMOSのオン抵抗のバイアス依存性とが相殺され、信号伝達回路全体としてのオン抵抗値を、バイアス電圧の変化に拘らずほぼ一定にすることができる。

【0008】

【実施例】 以下、本発明の一実施例を図1、図2を参照して説明する。図1は本実施例の信号伝達回路の回路構成図、図2は図1の回路のオン抵抗特性(実線V)、当該回路を構成するnMOSトランジスタQn、pMOSトランジスタQpのオン抵抗特性(破線I、II)、上記nMOSトランジスタQn、pMOSトランジスタQpを並列に接続してオン抵抗を合成したときのオン抵抗特性(一点鎖線III)、上記MOSトランジスタQn、Qpを直列に接続してオン抵抗を合成したときのオン抵抗特性(二点鎖線IV)を夫々示すグラフである。

【0009】本実施例の信号伝達回路100は、図1に示すように、入出力ノードn1, n3間に接続された第1のトランジスタ列（直列形態のMOSトランジスタQn1およびQp2）と、これに並列接続された第2のトランジスタ列（直列形態のMOSトランジスタQp1およびQn2）と、第1の列の接続ノードn21と第2列の接続ノードn22間に接続された抵抗Rとからなる。

【0010】これら信号伝達回路100を構成する4つのMOSトランジスタのうちnMOSトランジスタQn1, Qn2のゲートには所定の制御信号Gが、またpMOSトランジスタQp1, Qn2のゲートには上記信号の反転信号G'が夫々入力されている。そして上記入出力ノードn1, n3に所定の電圧（n1にはV1, n3にはV3）が印加され、制御信号Gがハイレベルのときに当該スイッチが導通状態になるように構成されている。

【0011】ところで、本実施例の信号伝達回路100は、その接続ノードn21, n22間に所定抵抗値（r）の抵抗Rが接続されていて、この抵抗Rの値を当該信号伝達回路100固有の値とすることによって、上記4つのMOSトランジスタの合成されたオン抵抗値を一定とすることができる（図2の実線V）。

【0012】このようにオン抵抗を一定にする抵抗Rの値は1つの信号伝達回路に1つ存在することが知られている。即ち、nMOSのオン抵抗は、図2の破線Iにて示すようなバイアス依存性を示す。一方、上記nMOSとそのチャネルコンダクタンス、閾値電圧VTHを等しくして、互いのバイアス依存性を正反対にしたpMOSのオン抵抗は、破線IIに示すようなバイアス依存性を示す。そして、このようなオン抵抗特性を有するnMOS, pMOSを入出力ノードn1, n3の間に直列に接続して、更にこれと並列にpMOSとnMOSとを接続した場合（この状態は図1の回路中の抵抗Rの抵抗値が無限大（ $=\infty$ ）のときに相当）には、実際に合成されたオン抵抗の特性は図2の二点鎖線IVに示すようになる。

【0013】一方、上記nMOSトランジスタQn1, pMOSトランジスタQp1とを並列に接続して第1段目を形成し、pMOSトランジスタQp2, nMOSトランジスタQn2とを並列に接続して第2段目を形成してこれらを直列に接続して、nMOSとpMOSとのバイアス依存性を相殺しようとした場合には（図1の回路の抵抗Rの値が“0”的ときに相当）、理論的には合成されたオン抵抗は、バイアス電圧の変化に拘らずフラットな特性となる。しかし、その製造時のバラツキ、即ちチャネルコンダクタンス及び閾値電圧VTHのpMOSとnMOSの特性差によって実際には図2の一点鎖線IIIに示すようにその合成オン抵抗の特性が一定とならない。

【0014】以上の回路特性に鑑みれば、抵抗Rの抵抗値（r）を、当該信号伝達回路100に固有の所定値（0[Ω]～∞[Ω]の間の値）に設定すれば、一点鎖線II

Iと二点鎖線IVとの間の、実線Vにて示すときオン抵抗特性をもつアナログスイッチ（バイアス電圧の変化に拘らずそのオン抵抗がほぼ一定となるスイッチ）が達成できる。

【0015】図3は上記信号伝達回路100の抵抗の値rを変化させてそのバイアス依存性を測ったときの結果を、電流値Ionと電圧値Von（V3-V1）との関係で表したグラフである。即ち、この例では、特定の規格のnMOS, pMOS（夫々のゲート幅を調整し、チャネルコンダクタンスを近い値に設計した）を用いて図1に示す回路を構成し、抵抗値として、低抵抗の第1の抵抗値（例えば1Ω）、高抵抗の第2の抵抗値（例えば1GΩ）、及びシミュレーションの結果決定された第3の抵抗値（例えば300Ω）の3つを実際に上記回路に組み込んで、入出力ノードn1, n3の間に印加した電圧値V（V3-V1）とそのとき当該信号伝達回路を流れた電流値Ionを検査した（図3）。この結果、第1の抵抗（1Ω）、第2の抵抗（1GΩ）を用いた場合には、合成されたオン抵抗は一定とならなかったが（1Ωの特性を一点鎖線Aにて、1GΩの特性を二点鎖線Bにて夫々示す）、シミュレーションによって決定した第3の抵抗値（例えば300Ω）を用いた回路ではそのオン抵抗を一定とすることことができた（実線Cにて示す特性）。

【0016】以上詳述したように、上記実施例の信号伝達回路100においては、2つの入出力ノードn1, n3の間に、nMOSトランジスタQn1, pMOSトランジスタQp2が直列形態にて接続ノードn21で接続され、これと並列にpMOSトランジスタQp1, nMOSトランジスタQn2が接続ノードn22にて接続され、接続ノードn21, n22間に所定抵抗値rを有する抵抗Rが接続されているので、この抵抗値rを上記複数のMOSトランジスタの特性（チャネルコンダクタンス、閾値電圧VTH）に応じた所定値に設定することによって、当該信号伝達回路100全体としてのオン抵抗の特性をバイアス電圧の変化に拘らず一定とすることができます。

【0017】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、本実施例ではチャネルコンダクタンス、閾値電圧VTHを等しくし、互いのバイアス依存性を正反対としたpMOSトランジスタとnMOSトランジスタとを用いて信号伝達回路を構成した例を示したが、上記特性が全く正反対とならないMOSトランジスタを用いた場合であっても、抵抗Rを適宜設定することによって当該信号伝達回路のオン抵抗の特性をフラットにすることができます。

【0018】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるサンプルホールド回路に用いられるアナログスイッチとして利用される信号伝達回路について説明したが、本発明は才

ン抵抗値が一定となることが要求されるアナログスイッチ一般に適用できる。

【0019】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。即ち、信号伝達回路の合成オン抵抗値が、バイアス電圧 ($V_3 - V_1$) の変化に拘らず一定であるため、低歪なアナログスイッチが実現される。

【図面の簡単な説明】

【図1】本発明の実施例の信号伝達回路の構成を示す回路図である。

【図2】図1の信号伝達回路のバイアス依存性V、MO Sトランジスタ Q_n 、 Q_p のバイアス依存性I、II、 Q_n 、 Q_p を並列に接続した場合のバイアス依存性III、直列に接続した場合のバイアス依存性IVを夫々示すグラフである。

フである。

【図3】実際にシミュレーションを行って決定した抵抗値 ($r = 300 \Omega$) を用いた回路の電流-電圧特性を示すグラフである。

【図4】CMOSトランジションゲートを用いたアナログスイッチが適用されるサンプルホールド回路の一例を示す回路図である。

【符号の説明】

100 信号伝達回路

Q_n ($Q_{n1}, 2$) nMOSトランジスタ

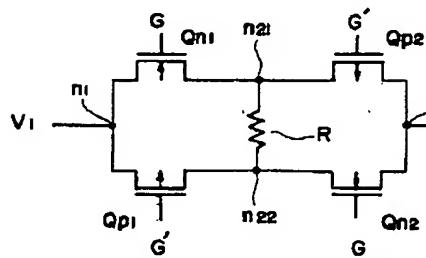
Q_p ($Q_{p1}, 2$) pMOSトランジスタ

R 抵抗

V_1, V_3 バイアス

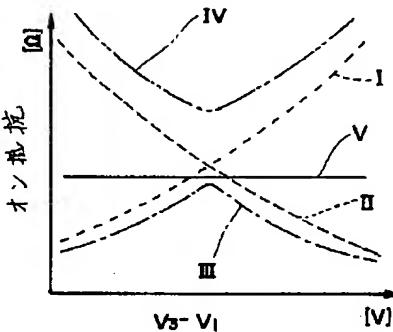
r オン抵抗

【図1】



【図3】

【図2】



【図4】

